

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-246561

(43)Date of publication of application : 30.08.2002

(51)Int.Cl.

H01L 27/10

H01L 45/00

(21)Application number : 2001-042055

(71)Applicant : DAINIPPON PRINTING CO LTD

(22)Date of filing : 19.02.2001

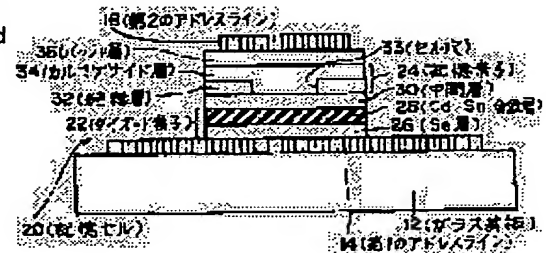
(72)Inventor : SAITO RITSU

(54) STORAGE CELL, MEMORY MATRIX USING THE SAME, AND THEIR MANUFACTURING METHODS

(57)Abstract

PROBLEM TO BE SOLVED: To enhance the address velocity by constituting a storage cell consisting of a storage element using chalcogenide material and a diode element for inputting information into or outputting it from this.

SOLUTION: A storage cell 20 is made of the storage element 24 including a chalcogenide layer 34 and the diode element 22 consisting of group 6 semiconductor material. The diode element 22 is composed of an Se layer 26 on the side of a first address line and a CdSn alloy layer 28 stacked hereon.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-246561

(P2002-246561A)

(43)公開日 平成14年8月30日(2002.8.30)

(51)Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 1 L 27/10	4 2 1	H 0 1 L 27/10	4 2 1 5 F 0 8 3
	4 5 1		4 5 1
45/00		45/00	A

審査請求 未請求 請求項の数8 O L (全 5 頁)

(21)出願番号 特願2001-42055(P2001-42055)

(22)出願日 平成13年2月19日(2001.2.19)

(71)出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72)発明者 斎藤 律

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

(74)代理人 100076129

弁理士 松山 圭佑 (外2名)

Fターム(参考) 5F083 EP00 GA01 JA36 JA51 LA12

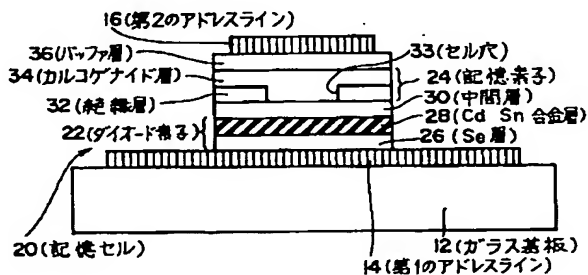
LA16 PR33

(54)【発明の名称】 記憶セル、この記録セルを用いたメモリマトリックス及びこれらの製造方法

(57)【要約】 (修正有)

【課題】 カルコゲナイド系材料を用いた記憶素子と、これに情報を入出力するためのダイオード素子からなる記憶セルを低コストで構成し、アドレス速度を向上させる。

【解決手段】 記憶セル20は、カルコゲナイド層34を含む記憶素子24と6族半導体材料からなるダイオード素子22とから形成される。ダイオード素子22は第1のアドレスライン側のSe層26とこの上に積層されたCdSn合金層28から構成される。



【特許請求の範囲】

【請求項1】相変化材料を用いた記憶素子と、6族半導体からなり、前記記憶素子に情報を入出力するためのダイオード素子と、を有してなる記憶セル。

【請求項2】請求項1において、前記ダイオード素子はSeを含む半導体であることを特徴とする記憶セル。

【請求項3】請求項2において、前記ダイオード素子はSeとCdSeとの接合を用いた半導体であることを特徴とする記憶セル。

【請求項4】請求項1、2又は3において、前記記憶素子における相変化材料としてカルコゲナイド系材料を用いたことを特徴とする記憶セル。

【請求項5】請求項1乃至4のいずれかにおいて、前記ダイオード素子と前記記憶素子との間に絶縁層が設けられ、この絶縁層は中央に、相変化材料活性領域のための微小径のセル穴を備え、前記記憶素子を構成する相変化材料は、前記セル穴内を充填すると共に、前記絶縁層を被って膜状に形成され、前記ダイオード素子とセル穴の面積比が $10^5:1 \sim 10^2:1$ の範囲とされたことを特徴とする記憶セル。

【請求項6】請求項1乃至4のいずれかの記憶セルを、複数の第1のアドレスラインと複数の第2のアドレスラインとの交点で、両者の間に各々配置してなり、前記記憶セルのダイオード素子を、前記第1又は第2のアドレスラインの一方に、電気的に接続して積層し、前記記憶素子に、前記第1又は第2のアドレスラインの他方を電気的に接続して積層したことを特徴とするメモリマトリックス。

【請求項7】Seを含む合金及びCdを含む合金を順次薄膜状に蒸着積層し、これを熱処理することによってダイオード素子を形成し、このダイオード素子上に、カルコゲナイド系材料を膜状に積層して記憶素子を形成することを特徴とする記憶セルの製造方法。

【請求項8】複数の第1のアドレスライン上に、Seを含む合金及びCdを含む合金を順次薄膜状に蒸着積層し、これを熱処理することによってダイオード素子を形成し、このダイオード素子上に、カルコゲナイド系材料を膜状に積層して記憶素子を形成し、この記憶素子上には、複数の第2のアドレスラインを積層することを特徴とするメモリマトリックスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、記憶素子に相変化材料を用いた記憶セル、この記憶セルを用いたメモリマトリックス及びこれらの製造方法に関する。

【0002】

【従来の技術】現在、不揮発性メモリとして、フラッシュメモリや強誘電性メモリ（FRAM）等が実用化されている。

【0003】しかしながら、これらの不揮発性メモリ

は、構造が複雑なため製造プロセスが煩雑になり、記憶のビット当たりの製造コストが高いという問題点がある。

【0004】これに対して、カルコゲナイド系半導体の相転移現象を用いて電気的に書換え可能な不揮発性メモリを固体素子で実現しようとする提案がある。

【0005】例えば、米国特許第3271591号公報、第3530441号公報、特開平5-21740号公報、特表平10-511814号公報、特表平11-510317号公報等に開示されているものがある。

【0006】カルコゲナイド系半導体とは、カルコゲン系元素、即ち6族元素の合金であり、混合比率、構成する元素によって特徴の異なるものになる。

【0007】このカルコゲナイド半導体は、合金中の元素の結合が鎖状構造となるために構造が柔軟となり、構造の組替えが起こり易い。即ち、結晶相とアモルファス相間の相転移が起こり易く、電気的パルス、熱、光（レーザ光）によって容易に相転移が引き起こされ、組成によってはこの2つの状態は常温で保持される。

【0008】アモルファス相から結晶相への相転移現象の場合、カルコゲナイド薄膜に電圧を加えると、ある閾値電圧でスイッチング現象を起こし電流パスが形成され、ここに電流を流し続けるとジュール熱が発生し原子の組替えが起こり結晶状態となる。

【0009】次に、結晶層からアモルファス層への相転移現象は、高温からの急冷によって生じる。まず結晶相のカルコゲナイド薄膜に急峻なパルス電流を印加することにより融点以上に温度を上げ、結晶を熔融すると、その直後に急峻なパルス電流が終わり、急峻な温度上昇に対応して急激に温度が下がる。この急激な温度勾配（温度低下）により過冷却液体状態を経てアモルファス相が形成される。

【0010】記憶の読取りは、相変化を起こさない程度の低い電圧パルスをカルコゲナイド薄膜に印加し、抵抗値を読み取ることによって実現できる。

【0011】このようなカルコゲナイド系半導体を用いた記憶セルは、前記のような、データを記憶するカルコゲナイドからなる記憶素子と、この記憶素子に結合してデータを入出力するアドレス素子とから構成される。このアドレス素子としては、ダイオードが用いられる。

【0012】このような記憶セルは、一般に、半導体メモリにおいて従来使用されているように、アドレスライン電極に電圧を選択的に印加することによって外部回路にアクセス可能である。

【0013】

【発明が解決しようとする課題】上記のような、アドレス素子としてダイオード素子を用いた例としては、前述の、特表平10-511814号公報に開示される発明がある。

【0014】この発明においては、アドレス素子として

のダイオード素子は、シリコンウェハ上に形成され、構造が複雑であり、又その製造上で不純物拡散やCVD等を利用する高度で高コストな生産プロセスが必要であるという問題点がある。

【0015】この発明は上記従来の問題点に鑑みてなされたものであって、カルコゲナイド系材料を用いた記憶素子と、これにデータをアドレスするためのダイオード素子とを有する記憶セルを、単純な素子構造として、低コストで簡単に製造できるようにした記憶セル及びその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】この発明は、相変化材料を用いた記憶素子と、6族半導体からなり、前記記憶素子に情報を入出するためのダイオード素子と、を有してなる記憶セルにより、上記目的を達成するものである。

【0017】又、前記ダイオード素子はSeを含む半導体としてもよい。

【0018】更に、前記ダイオード素子はSeとCdSeとの接合を用いた半導体としてもよい。

【0019】更に又、前記記憶素子における相変化材料としてカルコゲナイド系材料を用いてもよい。

【0020】又、前記ダイオード素子と前記記憶素子との間に絶縁層が設けられ、この絶縁層は中央に、相変化材料活性領域のための微小径のセル穴を備え、前記記憶素子を構成する相変化材料は、前記セル穴内を充填すると共に、前記絶縁層を被って膜状に形成され、前記ダイオード素子とセル穴の面積比が $10^5:1 \sim 10^2:1$ の範囲としてもよい。

【0021】更に、前記のような記憶セルを、複数の第1のアドレスラインと複数の第2のアドレスラインとの交点で、両者の間に各々配置してなり、前記記憶セルのダイオード素子を、前記第1又は第2のアドレスラインの一方に、電気的に接続して積層し、前記記憶素子に、前記第1又は第2のアドレスラインの他方を電気的に接続して積層したことを特徴とするメモリマトリックスにより、上記目的を達成するものである。

【0022】製造方法の発明は、Seを含む合金及びCdを含む合金を順次薄膜状に蒸着積層し、これを熱処理することによってダイオード素子を形成し、このダイオード素子上に、カルコゲナイド系材料を膜状に積層して記憶素子を形成することを特徴とする記憶セルの製造方法により、上記目的を達成するものである。

【0023】又、メモリマトリックスの製造方法の発明は、複数の第1のアドレスライン上に、Seを含む合金及びCdを含む合金を順次薄膜状に蒸着積層し、これを熱処理することによってダイオード素子を形成し、このダイオード素子上に、カルコゲナイド系材料を膜状に積層して記憶素子を形成し、この記憶素子上には、複数の第2のアドレスラインを積層することを特徴とするメモリマトリックスの製造方法により、上記目的を達成する

ものである。

【0024】この発明においては、カルコゲナイド系材料等の相変化材料を用いた記憶素子に情報を入出するためのダイオード素子を、6族半導体から構成しているので、簡単なプロセスによって製造することができ、更に、6族半導体の立上がり電圧が低いことから、メモリのアクセス速度を向上させることができる。

【0025】

【発明の実施の形態】以下本発明の実施の形態の例を図面を参照して詳細に説明する。

【0026】図1及び図2に示されるように、本発明の実施の形態の例に係るメモリマトリックス10は、基板12上に複数列平行に形成された複数の第1のアドレスライン14と、この上方に、第1のアドレスライン14と直行する方向に複数平行に形成された第2のアドレスライン16の交点において、これらの間に記憶セル20を、電気的に接続して積層したものである。

【0027】この記憶セル20の1つを、図3を参照して詳細に説明する。

【0028】記憶セル20は、前記第1のアドレスライン14上に積層されたダイオード素子22と、このダイオード素子22上に積層された記憶素子24とから構成されている。

【0029】前記ダイオード素子22は、第1のアドレスライン14側のSe層26と、この上に積層されたCdSn合金層28とを含んで構成されている。これらSe層26とCdSn合金層28とは、後述のように、薄膜状態で蒸着積層された後に、熱処理によってSe膜中のSeと、CdSn膜中のCdとが相互拡散を行って、CdSe拡散層が形成されている。

【0030】前記記憶素子24におけるCdSn合金層28の上側には、例えばニッケルからなる中間層30が積層され、更にこの中間層30の上に、絶縁層32を介して前記記憶素子24が積層されている。

【0031】絶縁層32は、例えばポリイミド膜からなり、このポリイミド膜からなる絶縁層32の中心部には、相変化材料活性領域を形成するための微小径、例えば直径 $1 \mu\text{m}$ のセル穴33がイオンビーム加工等の手段によって形成されている。

【0032】記憶セル20を構成するカルコゲナイド半導体からなる薄膜状のカルコゲナイド層34は、前記セル穴33を充填すると共に、絶縁層32を被った状態で積層される。

【0033】このカルコゲナイド層34の上側には、このカルコゲナイド層34とオーミック接触をするアンチモン(Sb)からなるバッファ層36が蒸着積層され、更にこの上に前記第2のアドレスライン16が例えばAl膜として蒸着パターンニングされている。

【0034】なお、前記第1のアドレスライン14も、例えばニッケル膜からなり、これが基板12上にバタ-

ン形成されて、第1のアドレスライン14を形成している。

【0035】ここで、前記ダイオード素子22は、例えばニッケル膜からなる前記第1のアドレスライン14上に、Se膜としてSeTe、SeIを蒸着によって順次積層し、これらを熱処理をして、更にCdSn合金を蒸着する。その後、更に熱処理を行い、前述のように、Se膜中のSeとCdSn膜中のCdとが相互拡散を行ってCdSe拡散層を形成することにより、データ出力のためのダイオード素子22を形成する。

【0036】Se膜の形成にSeTeを用いることでSeの熱処理によるアモルファス状態から金属結晶状態への変化の促進が得られ、更にSeIを用いることによりSe膜の抵抗値が下がり、ダイオード特性が向上する。

【0037】Te及びIのSeに対する重量比は、それぞれ0.1~1.0%が好ましい。0.1%未満では添加の効果が得られず、1.0%を越えるとSe膜が本来の機能を発現するのに阻害要因となり好ましくない。

【0038】又、記憶セル20におけるカルコゲナイド層34の組成は、テルル(Te)、セレン(Se)の6族元素を主成分として、ゲルマニウム、アンチモン、ヒスマス、鉛ストロンチウム、碲素、硫黄、シリコン、燐、酸素及びこれらの元素の混合物又は合金から形成することができる。

【0039】これらの合金は、与えられた刺激にตอบสนองして、通常安定した複数の状態を推測することができる材料を生じるように選択される。この場合、テルル、ゲルマニウム及びアンチモンの合金が望ましく、更に硫黄又は碲素等の他の元素を含有する材料が特に好ましい。

【0040】なお、上記実施の形態の例において、記憶素子としてカルコゲナイド半導体を用いているが、本発明はこれに限定されるものでなく、相変化材料であれば他の材料であってもよい。

【0041】又、ダイオード素子としては、Se以外の6族半導体材料を用いて構成してもよい。

【0042】ここで、前記カルコゲナイド半導体を用いた記憶素子は、リセットの際に、電圧を印加してセット状態に転移させるが、このときに僅かの時間に大きな電流が流れてしまうことがあるという問題点があるが、これは、逆に記憶セル全体を、特に、ダイオード素子22を小さくしてより集積化を図ると同時に過大な電流が流れることを抑制できることを意味する。

【0043】この場合に、相変化材料活性領域を形成するための前記セル穴33の面積(直径)と、ダイオード素子22の面積(直径)との関係を、 $1:10^5 \sim 1:10^2$ の範囲とするとよい。ダイオード素子とセル穴の面積比が $10^5:1$ より小さくなると、實際上、記憶セルの集積度が上がらず、有効ではなく、又、 $10^2:1$ より大きくなるカルコゲナイドからなる記憶素子を機能させるのに必要な電源値が確保できず好ましくなくな

い。

【0044】この実施の形態の例におけるダイオード素子での印可電圧と立上がり電流の関係を、従来のゲルマニウムダイオードと比較して測定した結果を図4に示す。図4に明確に示されるように、本実施例ではゲルマニウムダイオードの場合と比較して、低い電圧での電流の立上がりが測定され、アドレス速度の向上を確認できた。

【0045】

10 【実施例】次に、前記記憶セルを含むメモリマトリックスを製造する過程の実施例について説明する。

【0046】まず、ガラス基板(例えばコーニング社製No.7059)を洗浄し、このガラス基板上に $1\mu\text{m}$ の厚さのニッケルを蒸着する。これをパターニングして前記第1のアドレスライン(アドレス電極)を形成する。

【0047】次に、ダイオード素子形成のためのSe膜として、SeTe(Te:0.5%)とSeI(I:0.5%)を前記ニッケル膜からなる第1のアドレスライン上に順次 $5\mu\text{m}$ ずつの厚さで蒸着形成する。これを 130°C で20分間加熱により多結晶化を行い、更に 210°C で20分間熱処理により単結晶化を行う。

【0048】次にCdSn合金層を蒸着した後、更に 120°C 、20分間の熱処理を行い、前記のSe膜とCdSn合金としてのCd膜の相互拡散を行って、両者間にCdSe拡散層を形成する。

【0049】このCdSe拡散層の形成後に、前記CdSn合金膜上にカルコゲナイドメモリ材料との中間層としてニッケルを蒸着してダイオード素子を完成する。

30 【0050】これらのダイオード素子はリフトオフ法等により、各アドレス要素毎にパターニングされている。

【0051】このダイオード素子はスタックして形成可能であり、更に特性の良い整流特性が必要な場合は、前記ニッケル蒸着の後に、Se、CdSn蒸着を行うとよい。

【0052】絶縁層は、前記ニッケルからなる中間層の上にポリイミド膜をスピンコートすることにより形成する。このスピンコートされたポリイミド膜にイオンビーム加工によって直径 $1\mu\text{m}$ のセル穴を形成する。

40 【0053】前述の如く、カルコゲナイド半導体を前記セル穴に充填すると共に、絶縁層を被って膜状のカルコゲナイド層を形成する。

【0054】この実施例においては、カルコゲナイド系材料の混合物として、テルル、ゲルマニウム及びアンチモンをそれぞれ $60:20:20$ の割合で混合している。これらの混合物をフラッシュ蒸着により、前記セル穴内及び絶縁層上に、厚さ約 $0.3\mu\text{m}$ のカルコゲナイド膜を形成して記憶素子を完成させる。

50 【0055】後処理として、前記カルコゲナイド膜からなる記憶素子とオーミック接触をするバッファ層として

アンチモン (Sb) 膜を蒸着し、最後に第2のアドレスライン (電極) としてアルミ (Al) 膜を蒸着、パターニングして、メモリマトリックスを完成させる。

【0056】なお、上記実施の形態の例において、記憶素子としてカルコゲナイド半導体を用いているが、本発明はこれに限定されるものでなく、相変化材料であれば他の材料であってもよい。

【0057】

【発明の効果】本発明は、上記のように構成したので、簡単なプロセスにより安価に且つアドレス速度が大きい記憶セル、この記憶セルを用いたメモリマトリックスを得ることができるという優れた効果を有する。

【図面の簡単な説明】

【図1】本発明の実施の形態の例に係るメモリマトリックスを示す略示平面図

【図2】同メモリマトリックスを模式的に示す平面図

【図3】本発明の実施の形態の例に係る記憶セルを拡大して示す断面図

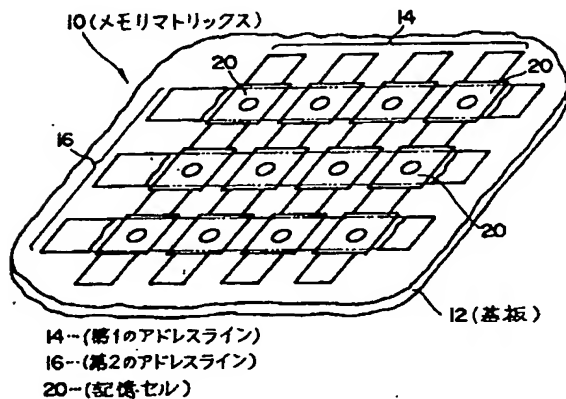
*

*【図4】本発明の実施例に係る記憶セルにおけるダイオード素子での印加電圧と立上がり電流の関係を、従来のゲルマニウムダイオードと比較して示す線図

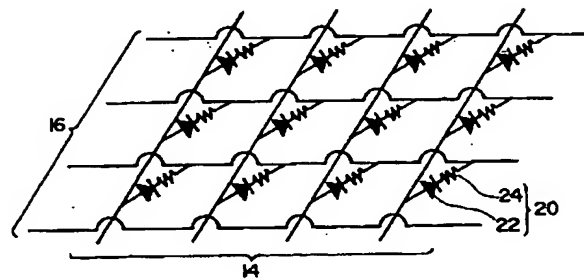
【符号の説明】

- 10…メモリマトリックス
- 12…基板
- 14…第1のアドレスライン
- 16…第2のアドレスライン
- 20…記憶セル
- 22…ダイオード素子
- 24…記憶素子
- 26…Se層
- 28…CdSn合金層
- 30…中間層
- 32…絶縁層
- 33…セル穴
- 34…カルコゲナイド層
- 36…バッファ層

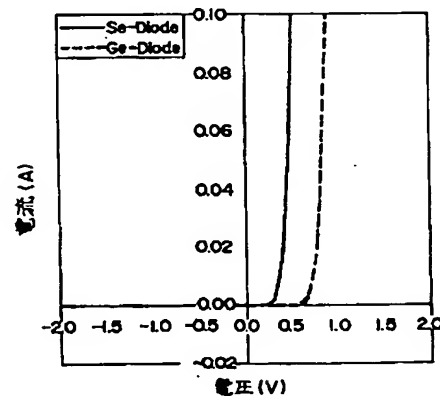
【図1】



【図2】



【図4】



【図3】

